

PATENT  
83394.0011

Express Mail Label No. EV 325 217 125 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:  
Takayuki OUCHI et al.  
Serial No: Not assigned  
Filed: August 19, 2003  
For: IMAGE DISPLAY DEVICE

Art Unit: Not assigned  
Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

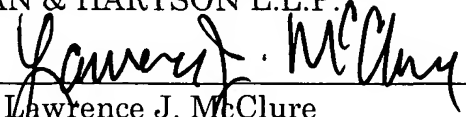
Enclosed herewith is a certified copy of Japanese patent application No. 2002-274259 which was filed September 20, 2002, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: August 19, 2003

By:   
Lawrence J. McClure  
Registration No. 44,228  
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900  
Los Angeles, California 90071  
Telephone: 213-337-6700  
Facsimile: 213-337-6701

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年 9月20日

出 願 番 号  
Application Number:

特願2002-274259

[ ST.10/C ]:

[ JP 2002-274259 ]

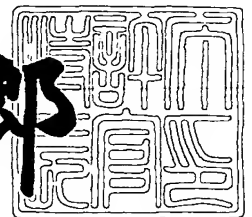
出 願 人  
Applicant(s):

株式会社日立製作所

2003年 6月 5日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3043555

【書類名】 特許願  
 【整理番号】 1102006471  
 【あて先】 特許庁長官 殿  
 【国際特許分類】 G09G 3/30  
 【発明の名称】 画像表示装置  
 【請求項の数】 10  
 【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号  
 株式会社 日立製作所 日立研究所内

【氏名】 大内 貴之

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目 1 番 1 号  
 株式会社 日立製作所 日立研究所内

【氏名】 三上 佳朗

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地  
 株式会社 日立製作所 中央研究所内

【氏名】 秋元 肇

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地  
 株式会社 日立製作所 ディスプレイグループ内

【氏名】 佐藤 敏浩

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100075096

【弁理士】

【氏名又は名称】 作田 康夫

【電話番号】 03-3212-1111

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像表示装置

【特許請求の範囲】

【請求項 1】

基板上にマトリクス状に配置された複数の画素を有し、各画素には発光層が配置され、該発光層の両面に透明画素電極と金属画素電極を配置した電流駆動型電気光学表示素子と、該電流駆動型電気光学表示素子の駆動電流を制御する駆動回路とを有する画像表示装置において、

前記各画素の駆動回路は、走査配線を介して順序回路を内蔵した垂直ドライバに、信号配線を介して水平ドライバに、それぞれ接続され、

前記透明画素電極と前記金属画素電極の少なくとも一方の電極は、前記走査配線と並行に配置された配線に接続され、該配線は切替スイッチを介して前記電流駆動型電気光学表示素子を駆動させるために必要な電圧を印加するための電位を与える電源、又は、表示時とは極性が逆となる電圧を印加するための電位を与える電源とを選択して接続していることを特徴とする画像表示装置。

【請求項 2】

前記切替スイッチは、前記垂直ドライバと走査方向が同じ順序回路によって切替制御していることを特徴とする請求項 1 の画像表示装置。

【請求項 3】

前記切替スイッチは、前記垂直ドライバに内蔵した順序回路から生成した信号によって切替制御していることを特徴とする請求項 1 の画像表示装置。

【請求項 4】

前記透明画素電極と前記金属画素電極の少なくとも一方の電極は、前記配線に直接あるいは駆動素子を介して接続されていることを特徴とする請求項 1 の画像表示装置。

【請求項 5】

前記切替スイッチは、前記垂直ドライバと走査方向が同じ順序回路によって切替制御し、前記透明画素電極と前記金属画素電極の少なくとも一方の電極は、前記配線に直接あるいは駆動素子を介して接続されていることを特徴とする請求項

1 の画像表示装置。

【請求項 6】

前記切替スイッチは、前記垂直ドライバに内蔵した順序回路から生成した信号によって切替制御し、前記透明画素電極と前記金属画素電極の少なくとも一方の電極は、前記配線に直接あるいは駆動素子を介して接続されていることを特徴とする請求項 1 の画像表示装置。

【請求項 7】

前記透明画素電極と前記金属画素電極の少なくとも一方の電極は、前記配線に各画素内で接続されていることを特徴とする請求項 1 の画像表示装置。

【請求項 8】

基板上にマトリクス状に配置された複数の画素を有し、各画素は発光層を有し、該発光層の両面に透明画素電極と金属画素電極を配置した電流駆動型電気光学表示素子と、該電流駆動型電気光学表示素子の駆動電流を制御する駆動回路とを有した画像表示装置において、

前記各画素の駆動回路は、走査配線を介して順序回路を内蔵した垂直ドライバに、信号配線を介して水平ドライバに、それぞれ接続され、

前記透明画素電極と前記金属画素電極の少なくとも一方の電極は、電流源との接続点と、前記電流駆動型電気光学表示素子に表示時とは極性が逆となる電圧を与える電圧源との接続点を切り替えるスイッチを画素内に有していることを特徴とする画像表示装置。

【請求項 9】

画像表示領域に配置され、走査信号を伝送する複数の走査配線と、

画像表示領域に前記複数の走査配線と交差して配置され、信号電圧を伝送する複数の信号配線と、

前記走査配線と前記信号配線で囲まれた画素領域に対応して配置され、共通電源に接続された複数の電流駆動型電気光学表示素子と、

前記電流駆動型電気光学表示素子と直列接続され、前記共通電源に接続され、バイアス電圧の印加により前記電流駆動型電気光学表示素子を表示駆動する複数の駆動素子と、

前記走査信号に応答して前記信号電圧を保持し、保持した信号電圧を基に各駆動素子の駆動を制御する複数のメモリ制御回路とを有し、

該メモリ制御回路は、前記駆動素子に対するバイアス電圧の印加を阻止した状態で信号電圧をサンプリングして保持し、その間に前記電流駆動型電気光学表示素子を非表示となる電圧状態に保持し、その後、保持した信号電圧をバイアス電圧として前記駆動素子に印加する画像表示装置。

【請求項 1 0】

前記電気光学表示素子のバイアス電圧を切り替える制御信号として、前記走査信号を用いることを特徴とする請求項 9 の画像表示装置。

【発明の詳細な説明】

【 0 0 0 1】

【発明の属する技術分野】

本発明は、E L（エレクトロルミネッセンス）素子を基板上に作りこんで形成されたアクティブマトリックス型の表示装置（ディスプレイ）に係り、E L素子の寿命を延ばすことが可能な表示装置に関する。

【 0 0 0 2】

【従来の技術】

近年、高度情報化社会の到来に伴い、パーソナルコンピュータ、携帯情報端末、情報通信機器あるいはこれらの複合製品の需要が増大している。これらの製品には、薄型、軽量、高速応答のディスプレイが好適であり、自発光型の有機LED（以下、O L E Dと略す。）素子などによる表示装置が用いられている。

【 0 0 0 3】

従来のO L E D表示装置のブロック図および画素回路は、図 8 のようなものとなる。同図において、走査配線 1 1 と信号配線 1 2 の各交点に第一の薄膜トランジスタ（以下、薄膜トランジスタをT F Tと略す。）T s w 1 6 が接続され、これにデータを蓄積する保持容量C s 1 5、O L E D 2 5 に流す電流を制御する第 2 のT F T 1 7（T d r 1 7）が接続されている。第 2 のT F T 1 7 は、層間絶縁膜を介して陽極の透明電極に接続されている。

【 0 0 0 4】

OLED素子の2つの電極は、それぞれ直接あるいは駆動素子である第2のTFTTdrl7を介して共通電源に接続された構造となっているため、表示装置全体としてのバイアス状態を部分的に制御することは出来ない。

【0005】

尚、後述するように、デジタル駆動によってアクティブマトリクス方式のディスプレイを逆バイアスの印加を行いながら駆動する方式として、特開2001-222255号公報にあるように、フレーム毎にEL素子の印加電圧の極性を反転させ、逆バイアスを印加する方法がある。

【0006】

【特許文献1】

特開2001-222255号公報

【0007】

【発明が解決しようとする課題】

OLED素子を用いたディスプレイを実現する上で問題となっているのが、OLEDの劣化によるOLED素子の寿命の短さであった。OLED素子の寿命の長さを左右する要因として、OLEDディスプレイを駆動するデバイスの構造、OLED素子を構成する有機EL材料の特性、電極の材料、作成工程における条件等が挙げられる。

【0008】

そして上述した要因の他に、EL層の寿命の長さを左右する要因として注目されるのが、OLEDディスプレイの駆動方法である。

【0009】

OLED素子を駆動、発光させるためには、EL層を挟んだ陽極と陰極の2つの電極の間に、直流の電流をかける方法が従来一般的に用いられてきた。このような直流電圧印加状態では、EL層内に誘起された正孔と電子がそれぞれ移動し発光層で結合する際に放出されるエネルギーが発光として観察される。しかし、EL層は電圧印加の内状態では絶縁性を示すため、EL層内に誘起された正孔と電子のうち、結合に寄与しなかったものはそのまま蓄積されてしまうと考えられ、EL素子の寿命に悪影響を及ぼすと考えられている。これを解消する方法のひ



とつとして、E L 層内に残留する電荷を放出するために発光時とは逆極性の電圧を印加することが考えられる。

#### 【 0 0 1 0 】

しかしながら、従来のアクティブマトリックス方式のディスプレイの場合、逆バイアスを印加するための駆動を実現するためには、逆バイアスを印加するための期間と発光期間とを明確に分離する必要があった。結果として、フレーム期間の中における発光期間の比率が低下するため、発光時のピーク輝度を高めることになって、O L E D 素子の駆動条件としては厳しくなるため、寿命にとってマイナスの作用も働くという欠点があった。

#### 【 0 0 1 1 】

例えば図 8 に示すようなアクティブマトリクスパネルにおいて、1 フレーム中に 1 回のアドレス（データ書込）走査 6 0 と表示（点燈）期間 6 1 とに分けられる場合には、逆バイアス印加期間 6 4 を設けない場合には、各ラインの発光期間はフレーム期間  $T 1 v$  からアドレス期間  $T 1 h$  を除いた、 $T 1 v - T 1 h$  を充てる事が可能であるが、逆バイアス期間を設ける場合、O L E D 素子のバイアス状態を決める電源端子は全画素で共通となっているため、ライン毎に発光・印加期間を独立して制御することが出来ず、フレーム内のタイミングチャートは図 9 のようになる。

#### 【 0 0 1 2 】

図 9 は、縦が垂直走査線の位置を、横が時間を表しており、このとき、フレーム期間  $T 1 v$  中で表示期間 6 1 とデータ書込走査 6 0、消燈走査 6 2 等の書込期間を除いた期間が非表示期間 6 3 となる。しかし、実際にここでパネル前面に逆バイアスを印加できるのはアドレス期間と重ならない逆バイアス印加期間 6 4 のみとなるため、図 9 では非表示期間 6 3 の約半分が、表示にも逆バイアス印加期間 6 4 にも無関係な期間となっており、効率を低下させる要因となっている。

#### 【 0 0 1 3 】

同様に、デジタル駆動によってアクティブマトリックス方式のディスプレイを逆バイアスの印加を行いながら駆動する方式としては、特開 2 0 0 1 - 222255 号公報にあるように、フレーム毎に E L 素子の印加電圧の極性を反転させる事によっ

て、逆バイアスを印加する方法が開示されている。しかし、この方式では2フレームに1回しか発光しないため、フレーム周波数を通常の2倍以上となる120フレーム毎秒以上にするため、やはり発光時のピーク輝度を高め、EL素子寿命には厳しい条件で駆動しなければならない。

#### 【0014】

上記のように、EL素子を用いたアクティブマトリクス方のディスプレイにおいて、EL素子の寿命を延ばすために逆バイアスを印加するための駆動方式として、フレーム期間のうち逆バイアスを印加する期間を除いた期間を、発光期間として有効利用できるような駆動方法が求められていた。

#### 【0015】

本発明の目的は、発光期間を有効利用して長寿命化をはかる画像表示装置を提供することにある。

#### 【0016】

##### 【課題を解決するための手段】

本出願の一実施態様によれば、基板上にマトリクス状に配置された複数の画素を有し、各画素には発光層が配置され、この発光層の両面に透明画素電極と金属画素電極を配置した電流駆動型電気光学表示素子と、この電流駆動型電気光学表示素子の駆動電流を制御する駆動回路とを有する画像表示装置で、各画素の駆動回路は、走査配線を介して順序回路を内蔵した垂直ドライバに、信号配線を介して水平ドライバに、それぞれ接続され、透明画素電極と前記金属画素電極の少なくとも一方の電極は、直接あるいは駆動素子を介して走査配線と並行に配置された配線に各画素内で接続され、この配線の端部は切替スイッチを介して電流駆動型電気光学表示素子を駆動させるために必要な電圧を印加するための電位を与える電源、又は、表示時とは極性が逆となる電圧を印加するための電位を与える電源とを選択して接続したというものである。

#### 【0017】

この構成により、各ライン毎に発光期間と非発光期間である逆バイアス印加期間とにそれぞれ独立に切替可能であり、フレーム期間内の発光期間を最大限高められ長寿命の画像表示装置が得られるというものである。

【0018】

さらに、切替スイッチは、垂直ドライバと走査方向が同じ順序回路によって切替制御しているというものである。

【0019】

または、切替スイッチは、垂直ドライバに内蔵した順序回路から生成した信号によって切替制御しているというものである。

【0020】

さらに、透明画素電極と金属画素電極の少なくとも一方の電極は、配線に直接あるいは駆動素子を介して接続されているというものである。

【0021】

さらに、切替スイッチは、垂直ドライバと走査方向が同じ順序回路によって切替制御し、透明画素電極と金属画素電極の少なくとも一方の電極は、配線に直接あるいは駆動素子を介して接続されているというものである。

【0022】

または、切替スイッチは、垂直ドライバに内蔵した順序回路から生成した信号によって切替制御し、透明画素電極と金属画素電極の少なくとも一方の電極は、配線に直接あるいは駆動素子を介して接続されているというものである。

【0023】

また、透明画素電極と金属画素電極の少なくとも一方の電極は、配線に各画素内で接続されているというものである。

【0024】

本出願の別の実施態様によれば、基板上にマトリクス状に配置された複数の画素を有し、各画素は発光層を有し、この発光層の両面に透明画素電極と金属画素電極を配置した電流駆動型電気光学表示素子と、この電流駆動型電気光学表示素子の駆動電流を制御する駆動回路とを有した画像表示装置で、各画素の駆動回路は、走査配線を介して順序回路を内蔵した垂直ドライバに、信号配線を介して水平ドライバに、それぞれ接続され、透明画素電極と金属画素電極の少なくとも一方の電極は、電流源との接続点と、電流駆動型電気光学表示素子に表示時とは極性が逆となる電圧を与える電圧源との接続点を切り替えるスイッチを画素内に有

するというものである。

【 0 0 2 5 】

この構成により、前述した実施態様と同様の効果があるというものである。

【 0 0 2 6 】

本出願の別の実施態様によれば、画像表示装置が、画像表示領域に分散して配置されて走査信号を伝送する複数の走査配線と、画像表示領域に複数の走査配線と交差して配置されて信号電圧を伝送する複数の信号配線と、走査配線と信号配線で囲まれた画素領域に対応して配置されて共通電源に接続された複数の電流駆動型電気光学表示素子と、電流駆動型電気光学表示素子と直列接続されて共通電源に接続されバイアス電圧の印加により電流駆動型電気光学表示素子を表示駆動する複数の駆動素子と、走査信号に応答して信号電圧を保持し、保持した信号電圧を基に各駆動素子の駆動を制御する複数のメモリ制御回路とを備え、このメモリ制御回路は、駆動素子に対するバイアス電圧の印加を阻止した状態で信号電圧をサンプリングして保持し、その間に電流駆動型電気光学表示素子は非表示となる電圧状態に保持し、その後、保持した信号電圧を前記バイアス電圧として駆動素子に印加するというものである。

【 0 0 2 7 】

さらに、電気光学表示素子のバイアス電圧を切り替える制御信号として、走査信号を用いるというものである。

【 0 0 2 8 】

この構成により、前述した実施態様と同様の効果があるというものである。

【 0 0 2 9 】

【発明の実施の形態】

以下、図面を用いて本発明の複数の実施の形態を説明する。

【 0 0 3 0 】

(実施例 1)

図 1 は、第 1 の実施例による画像表示装置の主要部のブロック図である。

【 0 0 3 1 】

画像表示部は横方向に複数の走査配線 1 1 と電流供給配線 2 0 が交互に配置さ

れており、それぞれが端部で順序回路を内蔵する垂直走査回路 5 1 と、電源切替回路 5 3 とに接続されている。縦方向には複数の信号配線 1 2 が配置されており、信号配線 1 2 には水平ドライバ 5 0 から画像信号が出力されている。走査配線 1 1 及び電流供給配線 2 0 と信号配線 1 2 とが交差する領域にマトリクス状に画素が形成され、走査配線 1 1 によって選択されたラインの画素内の保持容量 1 5 に信号電圧が保持され、この電圧によって第 2 の T F T T d r 1 7 で規定される電流が各表示素子に供給されて表示が行われる。

## 【 0 0 3 2 】

電流供給配線 2 0 は、端部でシフトレジスタを内蔵する電源切替回路 5 3 に接続されており、シフトレジスタより生成される信号によって、電流供給配線 2 0 の電圧を表示素子に順方向バイアスを与えて発光状態とする電圧  $V_s$  と、逆バイアスを与えるための電圧  $V_r$  とに切り替えることが出来る。

## 【 0 0 3 3 】

図 2 は、図 1 の画像表示装置を用いて表示を行う際のタイミングチャートである。

## 【 0 0 3 4 】

図 2 においては横軸は時間、縦軸は表示領域内の上下を表している。表示領域の上から下にデータ書込（アドレス）6 0 が開始され、そのまま各ラインは表示期間 6 1 に移行する。表示期間が終了すると、再度アドレス期間となり消燈のための走査（消燈走査）が行われる。

## 【 0 0 3 5 】

ここでは電源切替回路 5 3 のシフトレジスタの走査を行って、電流供給配線 2 0 の電圧を  $V_s$  から  $V_r$  に切り替えて、上から下に順次逆バイアス印加期間（非表示期間 6 3）へと移行する。次のフレームが開始されるときに、再びデータ書込みのためのアドレス期間（データ書込走査 6 0）が始まるが、ここで同時に電源切替回路も走査して電流供給配線 2 0 の電圧をそれぞれ  $V_r$  から  $V_s$  に切り替えていくことにより、各ラインがそれぞれ表示期間 6 1 に移行する。

## 【 0 0 3 6 】

このような駆動方法を用いることで、各ラインではフレーム期間  $T_{1v}$  をほぼ

表示期間 6 1 と逆バイアス印加期間 6 4 とに分割利用でき、無効な期間が発生しないので、ピーク輝度を抑えて O L E D 素子へのダメージを抑制し、長寿命化をはかることが出来る。

【 0 0 3 7 】

(実施例 2)

図 3 は、第 2 の実施例による画像表示装置の主要部のブロック図である。

【 0 0 3 8 】

第 1 の実施例と異なるのは、電源切替回路 5 3 と垂直走査回路 5 1 が一体化された制御回路 5 4 となり、共通のシフトレジスタを利用していることである。実施例 2 は、これによって回路規模を抑制し消費電力を低減することが出来る。

【 0 0 3 9 】

以上、実施例 1, 2 とともに、画素回路は図 1 に示すような 2 つの T F T で構成される回路を例に記述したが、本発明はこれに限定されるものではない。すなわち、O L E D 素子 1 0 に印加する電圧を垂直走査切替可能な構成であれば、画素回路は 2 つ以上の T F T で構成されてもよいことはいうまでもない。

【 0 0 4 0 】

(実施例 3)

図 4 は、第 3 の実施例による画像表示装置の画素の回路図である。

【 0 0 4 1 】

第 1, 第 2 の実施例と異なる点は、電流供給配線 2 0 が信号配線 1 2 と平行に縦に配置され、共通の電源バス配線 5 2 に接続されており、走査配線 1 1 と平行しては逆バイアス印加電圧  $V_r$  を与える逆バイアス印加電圧  $V_r$  供給配線 2 1 と、バイアス切替制御線 2 2 とが配置されて制御回路 5 4 に接続されている。

【 0 0 4 2 】

このような回路構成とすることによって、バイアス切替制御線 2 2 の走査によって表示素子のバイアス条件を制御できるため、各走査線に接続された画素列ごとにフレーム期間内での表示・非表示を切り替えることができ、非表示期間全体を逆バイアス印加期間として活用することができる。

【 0 0 4 3 】

また、制御回路 5 4 では同じシフトレジスタの信号を利用することにより、回路規模を抑制し、消費電力を低減するとともに、歩留りを向上して生産性を上げることができる。

【0 0 4 4】

(実施例 4)

図 5 は、第 4 の実施例を実現するための画像表示装置の画素の回路図の一例である。

【0 0 4 5】

走査配線 1 1 と信号配線 1 2 の交点にはスイッチング用の第 1 の T F T T s w 1 6 が設けられ、走査線によって選択されたときに信号電圧を保持容量 1 5 に保持する。保持容量 1 5 は第 2 の T F T T d r 1 7 のバイアス電圧を規定し、第 2 の T F T T d r 1 7 に流れる電流を制御する。第 2 の T F T T d r 1 7 はさらに、第 1 のバイアス切替 T F T 2 3 を介して、O L E D 素子 1 0 に接続され、第 2 の T F T T d r 1 7 によって供給される電流によって、発光、表示が行われる。O L E D 素子 1 0 にはさらに、第 2 のバイアス切替 T F T 2 4 を介して逆バイアス電圧  $V_r$  を与える逆バイアス印加電圧  $V_r$  供給配線 2 1 に接続されている。

【0 0 4 6】

図 5 では第 1 のバイアス切替 T F T 2 3 は n 型 M O S で、第 2 のバイアス切替 T F T 2 4 は p 型の M O S で形成し、バイアス制御線 2 2 によって、どちらか一方の T F T のみがオン状態となり、表示素子である O L E D 素子 1 0 のバイアス状態を切り替えることが出来る。

【0 0 4 7】

画素の信号書き込みの際には、バイアス制御線で第 1 のバイアス切替 T F T をオフ状態にし、信号電圧を書き込んだ後、バイアス制御線で第 1 のバイアス切替 T F T をオン状態にすることで、O L E D 素子 1 0 は、書き込まれた信号に従って発光、表示を行う。

【0 0 4 8】

一方、逆バイアス印加の際には、やはりバイアス制御線で第 1 のバイアス切替 T F T をオフ状態にし、第 2 のバイアス切替 T F T をオン状態とすることで O L E D

素子10には、逆バイアス印加電圧 $V_r$ 供給配線21によって与えられる逆バイアス状態となる。

【0049】

図6は、図5の回路で示される画素のレイアウトの一例である。

【0050】

スイッチング用の第1のTFTTsw16は、リーク電流を少なくして表示特性を改善するために、ダブルゲートのMOSで形成している。また、保持容量15はデータ書込みの際、基準電圧として逆バイアス印加電圧 $V_r$ 供給配線21を参照電圧として利用することができるため、書込み精度を高め、画質向上に効果がある。

【0051】

なお、本実施例では第1のTFTTsw16と第2のTFTTdr17及び第1のバイアス切替TFT23にn型MOSを用い、第2のバイアス切替TFT24にp型MOSを用いたが、本発明の効果はこれに限定されるものではない。例えば、第1のTFTTsw16と第2のTFTTdr17及び第1のバイアス切替TFT23にp型MOSを用い、第2のバイアス切替TFT24にn型MOSを用い、さらにOLED素子10の極性を逆にした場合においても、やはり走査配線ごとに表示期間と逆バイアス印加期間を制御することができ、本発明の効果が得られることはいうまでもない。

【0052】

(実施例5)

図7は、第5の実施例による画像表示装置の画素の回路図である。

【0053】

第4の実施例と異なる点は、第1のバイアス切替TFT23をp型MOSで、第2のバイアス切替TFT24はn型のMOSで形成し、これによりバイアス切替制御線22を走査配線11と共通化したことにある。本実施例では、バイアス切替制御線22をなくすことができるため、画素の開口面積を広げるとともに、回路の低消費電力化に効果がある。また、配線数が減るため歩留り向上にも効果がある。



## 【 0 0 5 4 】

以上、実施例を用いて本発明の効果を説明した。なお、実施例では、アナログ駆動方式のタイミングチャート（図 2）について説明を行ったが、本発明の効果はこれに限定されるものではない。すなわち、デジタル駆動方式の、例えば量子化された時間幅を持つサブフィールドを用いたパルス幅変調（PWM：pulse width modulation）方式においても、本発明の各走査配線に属する画素列ごとにアドレス期間と表示・非表示期間を制御することにより、本発明の効果によってフレーム期間を有効に利用することができることはいうまでもない。複数のサブフィールドを有する PWM 方式では、1 フレーム期間あたりに画素をアドレスする回数は増えるため、むしろその効果が大きい。

## 【 0 0 5 5 】

これらの実施例によれば、電流駆動型電気光学表示素子を用いたアクティブマトリクス方式駆動による画像表示装置において、表示素子に各走査配線ごとに独立して表示期間と逆バイアス印加期間を配分することが出来、これにより各フレーム時間において表示期間を長くにとってピーク輝度を低下することにより表示素子の劣化を遅らせ、長寿命化をはかることが出来る。

## 【 0 0 5 6 】

また、画素のアドレス期間中に表示素子のバイアス電圧を切り替えて逆バイアスを印加することで、表示素子の長寿命化をはかるとともに、画素内のメモリに保持させる電圧を安定させて、表示特性に優れた画像表示装置を得ることが出来る。

## 【 0 0 5 7 】

## 【発明の効果】

本発明によれば、長寿命の画像表示装置を提供できる。

## 【図面の簡単な説明】

## 【図 1】

第 1 の実施例の表示装置全体図を示す。

## 【図 2】

第 1 の実施例の駆動タイミングチャートを示す。

【図 3】

第 2 の実施例の表示装置全体図を示す。

【図 4】

第 3 の実施例の画素回路図を示す。

【図 5】

第 3 の実施例の画素レイアウト例を示す。

【図 6】

第 4 の実施例の画素回路図を示す。

【図 7】

第 5 の実施例の表示装置全体図である。

【図 8】

従来技術による画素回路図を示す。

【図 9】

従来技術による逆バイアス印加の際のタイミングチャートである。

【図 1 0】

従来技術による表示装置全体図である。

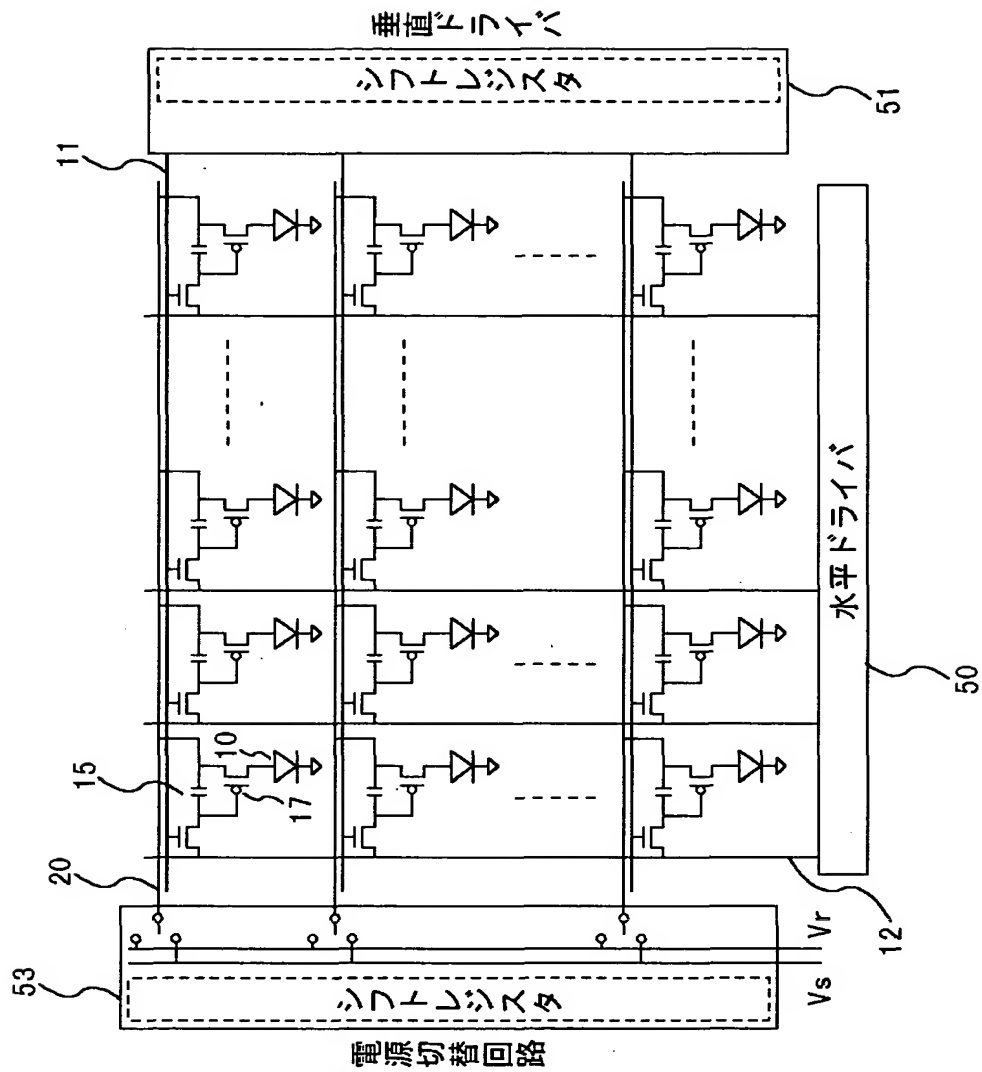
【符号の説明】

1 0 … O L E D 素子、 1 1 … 走査配線、 1 2 … 信号配線、 1 3 … 第 1 の電流供給配線、 1 4 … 第 2 の電流供給配線、 1 5 … 保持容量  $C_s$ 、 1 6 … 第 1 の T F T  $T_{sw}$ 、 1 7 … 第 2 の T F T  $T_{dr}$ 、 1 8 … 第 1 の画素電極、 1 9 … 第 2 の画素電極、 2 0 … 電流供給配線、 2 1 … 逆バイアス印加電圧  $V_r$  供給配線、 2 2 … バイアス切替制御線、 2 3 … 第 1 のバイアス切替制御 T F T、 2 4 … 第 2 のバイアス切替制御 T F T、 5 0 … 水平ドライバ回路、 5 1 … 垂直走査回路、 5 2 … 電源バス配線、 5 3 … 電源切替回路、 5 4 … 垂直制御回路、 5 5 … 画素回路、 6 0 … データ書込走査、 6 1 … 表示（点燈）期間、 6 2 … 消燈走査、 6 3 … 非表示期間、 6 4 … 逆バイアス印加期間。

【書類名】 図面

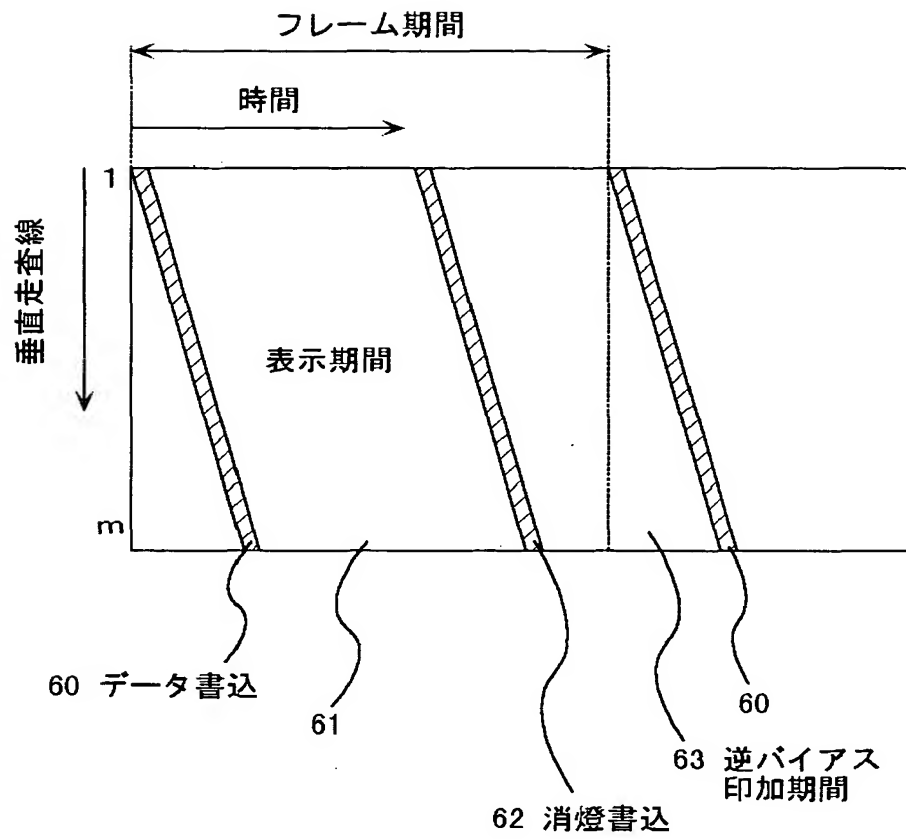
【図 1】

圖 1



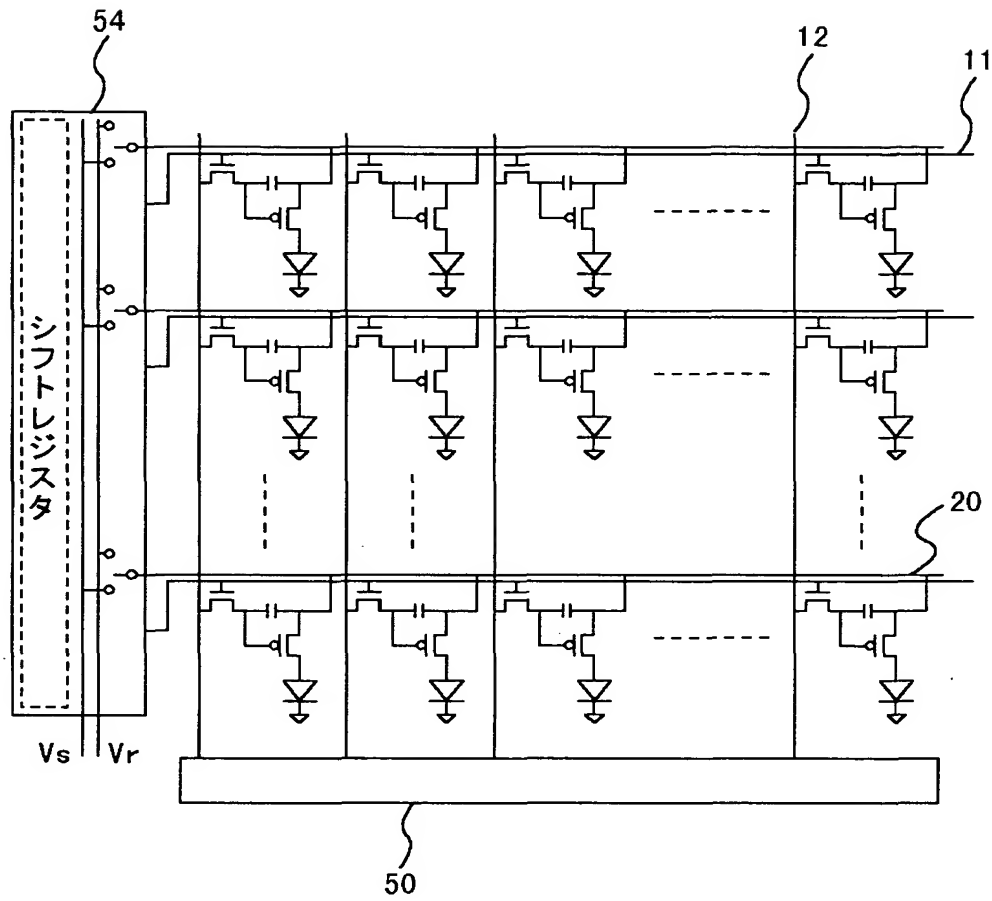
【図 2】

図 2



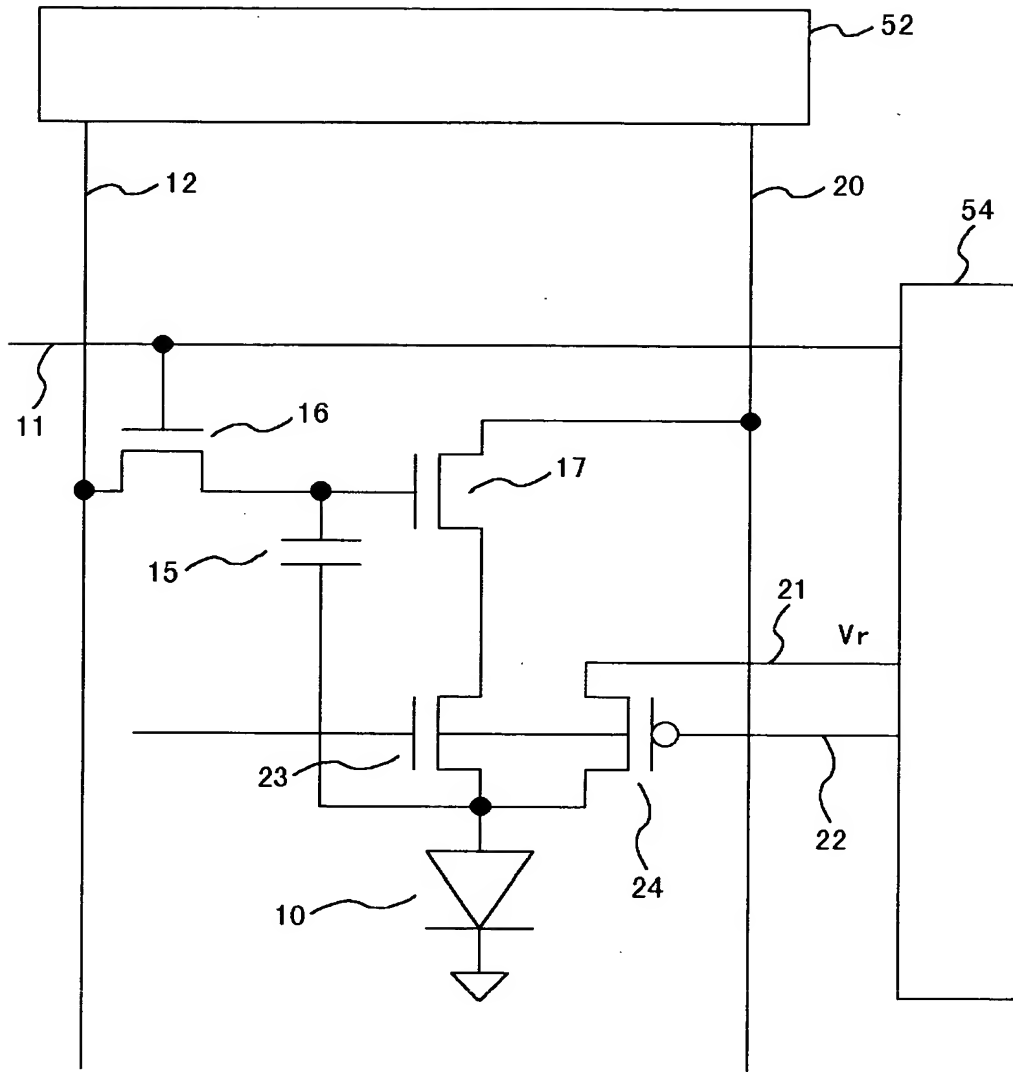
【図 3】

図 3



【図 4】

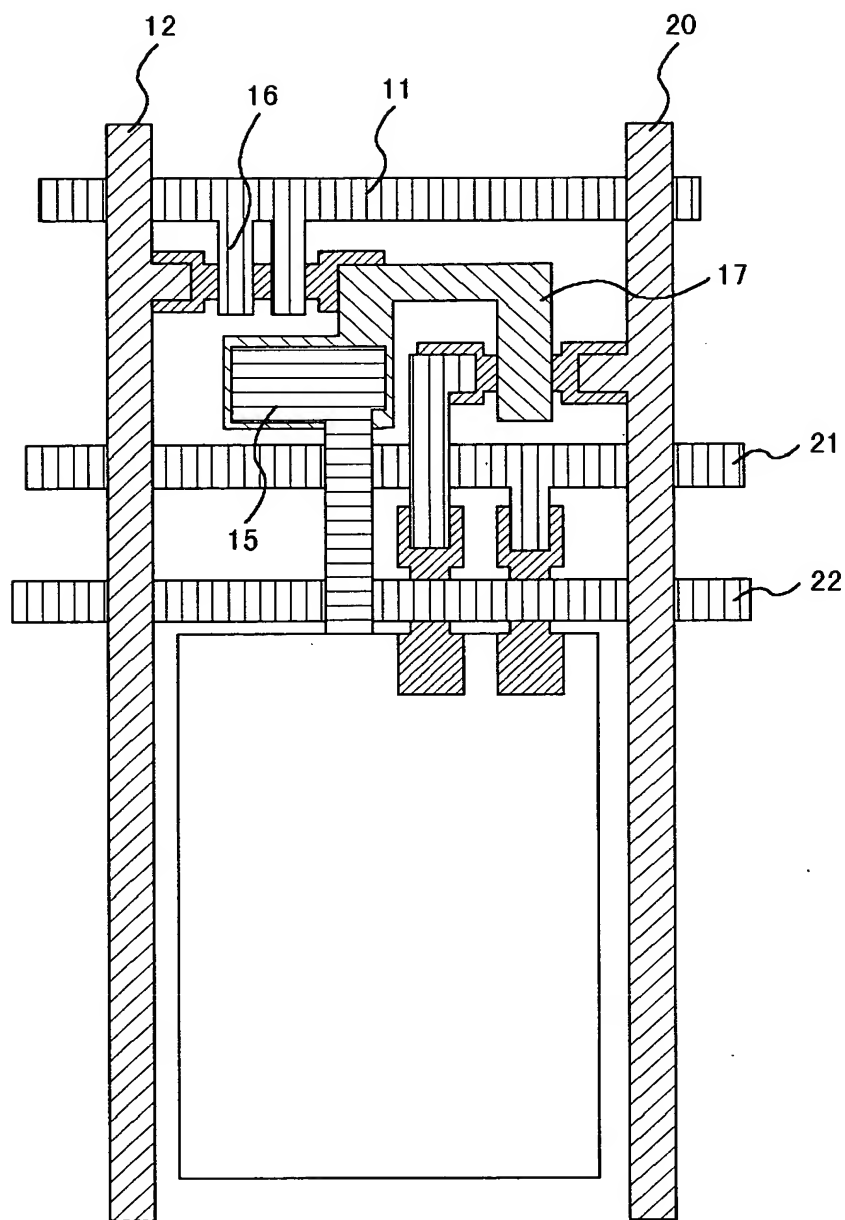
图 4





【図 6】

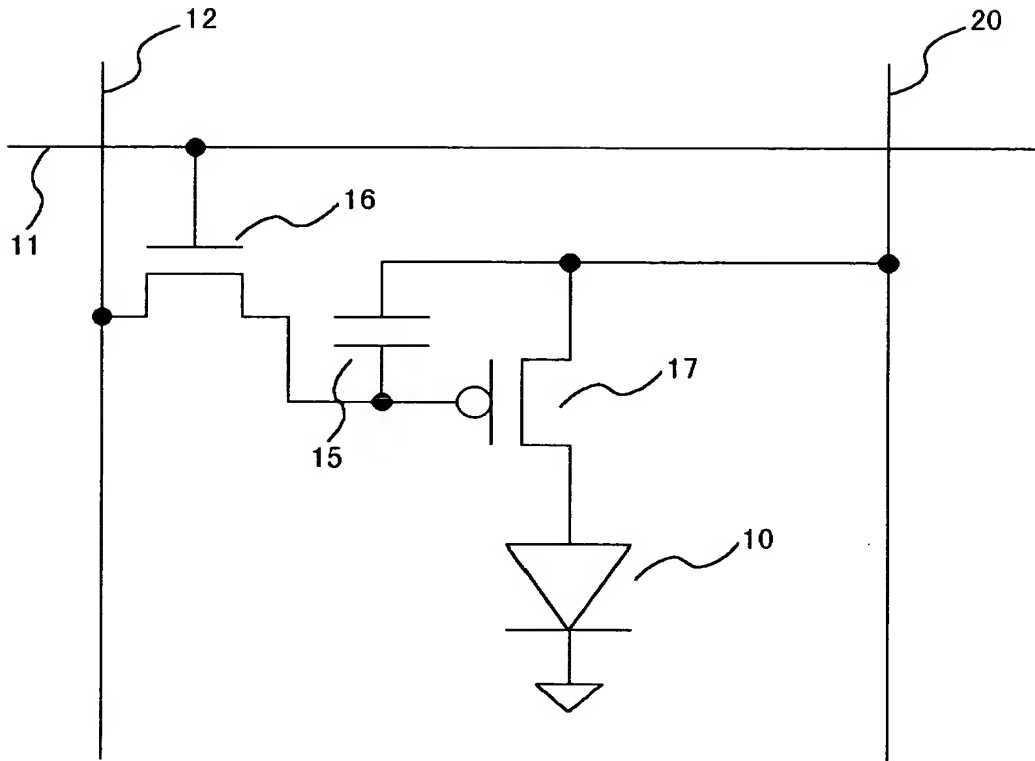
図 6





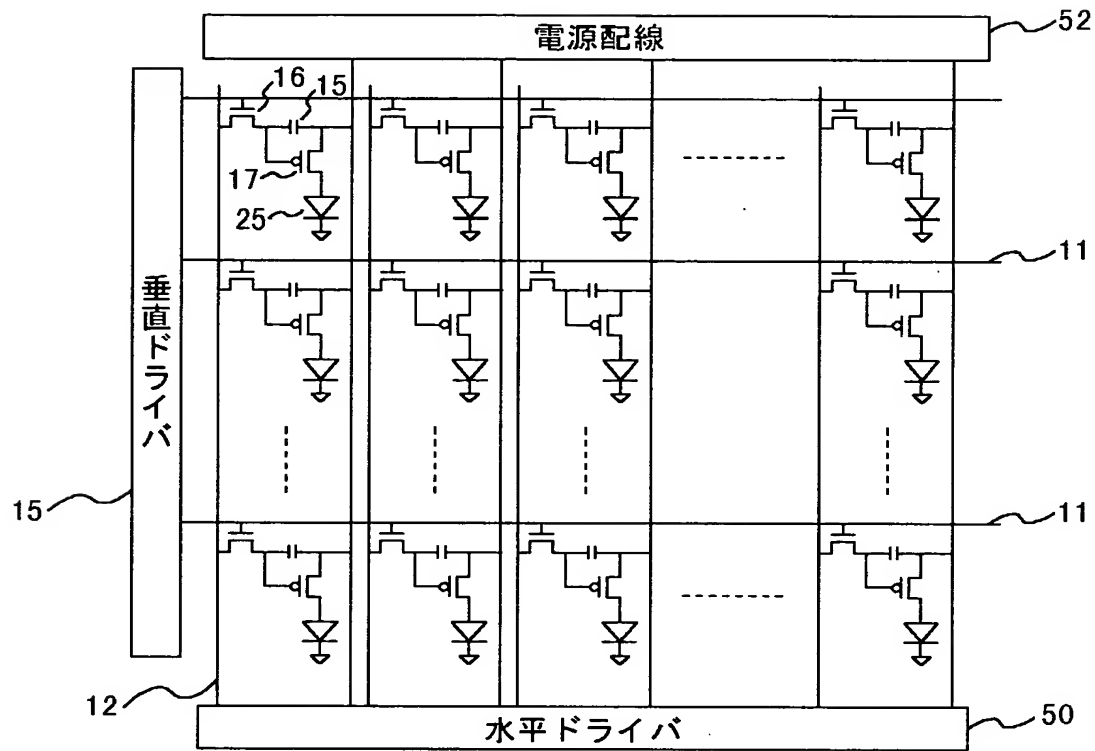
【図 7】

図 7



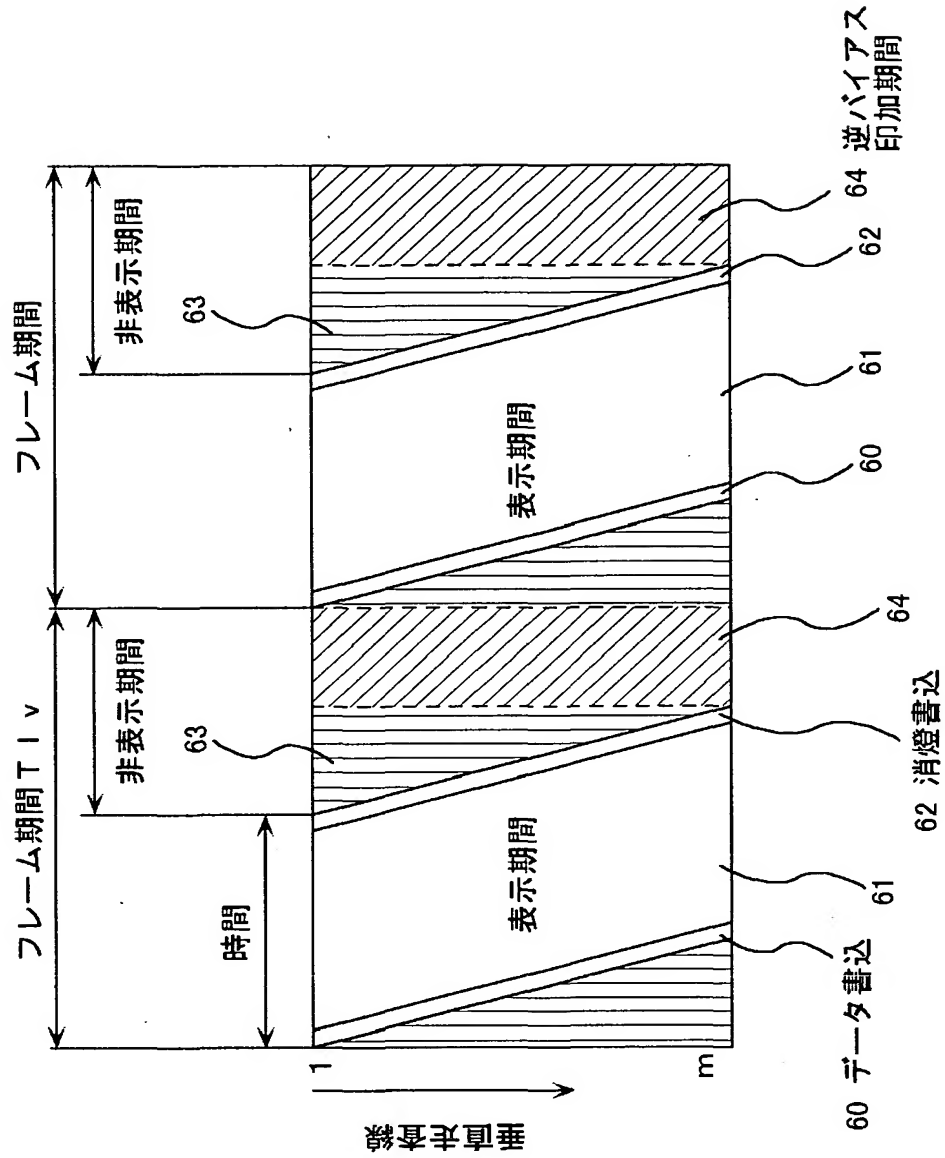
【図 8】

図 8



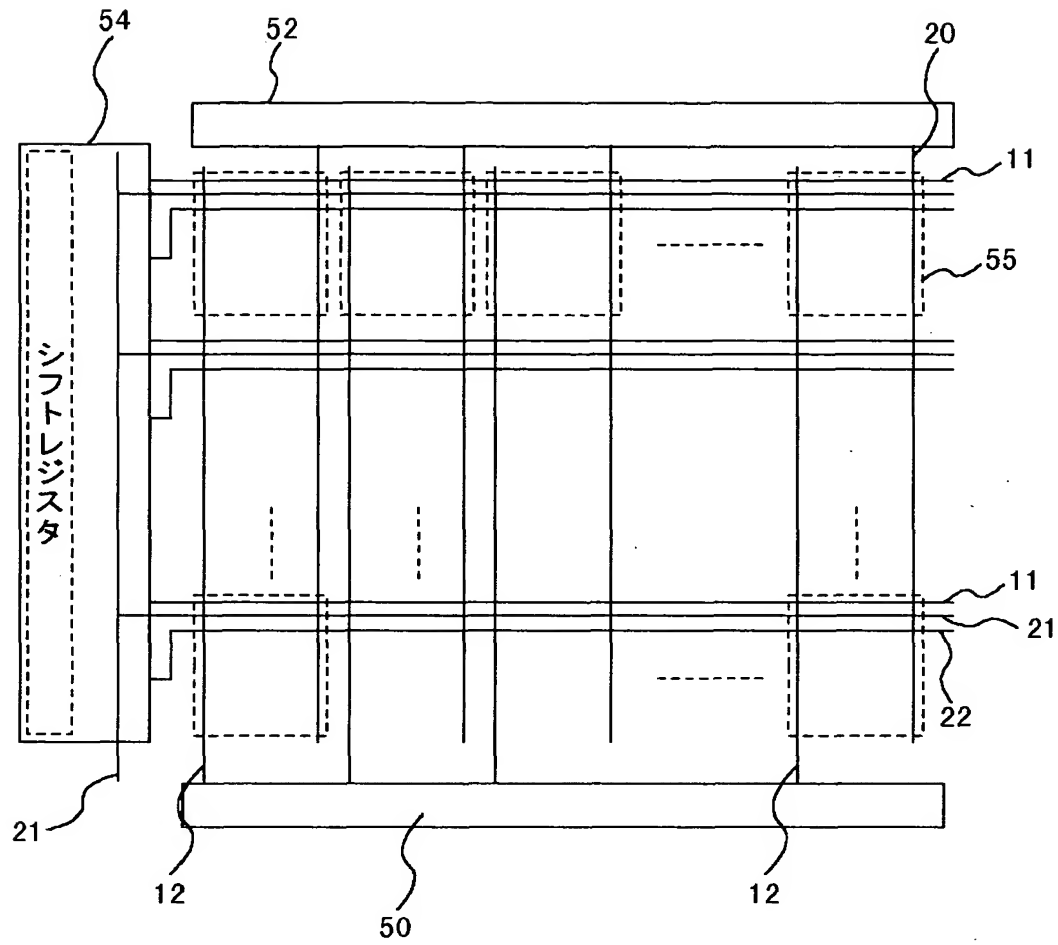
【図 9】

図 9



【図 1 0】

図 10



【書類名】 要約書

【要約】

【課題】

OLEDの画像表示装置における発光期間を有効利用した長寿命化画像表示装置の提供。

【解決手段】

複数の画素には発光層が配置され、この発光層の両面に透明画素電極と金属画素電極を配置した電流駆動型電気光学表示素子と、この電流駆動型電気光学表示素子の駆動電流を制御する駆動回路とを有する画像表示装置で、各画素の駆動回路は、走査配線11を介して順序回路を内蔵した垂直走査回路51に、信号配線12を介して水平ドライバ50に接続され、透明画素電極と金属画素電極の少なくとも一方の電極は、直接あるいは駆動素子を介して走査配線11と並行に配置された電流供給配線20に各画素内で接続され、電流供給配線20の端部は切替スイッチを介して電流駆動型電気光学表示素子を駆動させるために必要な電圧を印加するための電位を与える電源、又は、表示時とは極性が逆となる電圧を印加するための電位を与える電源とを選択して接続する。

【選択図】 図1

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 2 - 2 7 4 2 5 9
受付番号	5 0 2 0 1 4 0 7 6 4 6
書類名	特許願
担当官	第一担当上席 0 0 9 0
作成日	平成 1 4 年 9 月 2 4 日

< 認定情報・付加情報 >

【提出日】 平成14年 9月20日

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日 1 9 9 0 年 8 月 3 1 日

[ 変更理由 ] 新規登録

住 所 東京都千代田区神田駿河台 4 丁目 6 番地  
氏 名 株式会社日立製作所